

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-152529

(43)公開日 平成5年(1993)6月18日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/092		7342-4M	H 0 1 L 27/ 08	3 2 1 F

審査請求 未請求 請求項の数1(全 8 頁)

(21)出願番号 特願平3-315123

(22)出願日 平成3年(1991)11月29日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 落合 利幸

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(72)発明者 内山 章

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

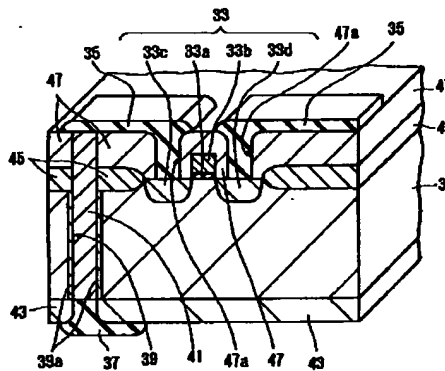
(74)代理人 弁理士 大垣 孝

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 従来より高集積化ができる構造の半導体装置を提供する。

【構成】 半導体基板31の表面に少なくとも半導体素子33を設けてあり、裏面に少なくとも半導体素子、配線及びボンディングパッドで構成される部品群から選ばれた1種以上の部品例えばボンディングパッド37を設けてある。さらに半導体基板31に、貫通孔39と、基板表面に設けた半導体素子33と、基板裏面に設けてあるボンディングパッドと37間を接続するための、前記貫通孔を経由している配線41とを設けてある。



31 : 半導体基板 (例えばシリコン基板)
33 : 半導体素子 (例えば電界効果トランジスタ)
35 : 配線
37 : 大面積配線部 (例えばボンディングパッド)
39 : 貫通孔
39a : 絶縁膜
41 : 貫通孔経由配線
43 : 絶縁膜
45 : 素子層分離用絶縁膜
47 : 中間絶縁膜
47a : コンタクトホール

第1実施例の半導体装置を示した切り欠き斜視図

1

【特許請求の範囲】

【請求項1】 半導体基板の表面及び裏面の一方側に少なくとも半導体素子を設けてあり、他方側に少なくとも半導体素子、配線及びボンディングパッドで構成される部品群から選ばれた1種以上の部品を設けてあり、必要に応じ、前記半導体基板に、貫通孔と、前記一方の面側に設けてある前記半導体素子及び他方の面側に設けてある部品間を接続するための、前記貫通孔を経由している配線とを設けてあることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は半導体装置に関するものである。

【0002】

【従来の技術】半導体装置は今日の産業を支える重要な電子部品の一つとなっている。

【0003】このような半導体装置の従来の構造について、C-MOS (Complementary-Metal Oxide Semiconductor) 半導体装置の例により説明する。図9(A)及び(B)はその説明に供する図である。特に図9(A)は文献(「MOSLSI設計入門」, 産業図書, (昭和63年第6刷(昭和59年初版), p. 92)から引用したC-MOSインバータの平面図、また図9(B)はこの装置の図9(A)のI-I線での断面図である。

【0004】この従来のC-MOS半導体装置では、p型半導体基板11にn型ウエル領域12が形成されている。さらに、基板11の所定部分にはフィールド酸化膜13が形成されこのフィールド酸化膜13で囲われた領域がNチャネルトランジスタ用アクティブ領域14及びPチャネルトランジスタ用アクティブ領域15とされている。さらに、これらアクティブ領域14, 15の所定部分上にはゲート絶縁膜16とゲート電極17とが順次に形成され、またゲート電極17両側のアクティブ領域部分には、Nチャネルトランジスタ用にあつてはn型拡散層18が、Pチャネルトランジスタ用にあつてはp型拡散層19がそれぞれ形成されている。これら拡散層でソース・ドレイン領域が形成される。さらに、フィールド酸化膜13及びゲート電極17などが形成された基板11上には、所定部分にコンタクトホール21aを有した中間絶縁膜21が形成されている。これらコンタクトホール21aを介し、Nチャネルトランジスタ及びPチャネルトランジスタ各々の一方の拡散層同士が第一配線22によって接続され、Pチャネルトランジスタの他方の拡散層19には第二配線23が接続され、Pチャネルトランジスタの他方の拡散層18には第三配線24が接続されている。ここで、第一配線22はこのCMOSインバータの出力とされ、第二配線23は同電源用配線とされ、第三配線24は同グランド用配線とされる。

【0005】また、半導体装置には、通常図示せず、

2

外部との接続を行なうためのボンディングパッドが、アクティブ領域の外周部に当たる基板部分上に設けられている。これは、現在のところ、 $120 \times 120 \mu\text{m}$ の略正方形形状のものである。そして、各ボンディングパッド間の間隔は $100 \mu\text{m}$ 程度必要とされている。

【0006】このような半導体装置を用い構成される電子装置の性能向上や小型化などを図るために、ますます高集積化された半導体装置が望まれている。

【0007】

10 【発明が解決しようとする課題】しかしながら、従来の半導体装置では、トランジスタなどの半導体素子、また、配線、ボンディングパッドなどはいずれも半導体基板の主平面の一方の表面上(表層部も含む)のみに形成されていたので基板主平面の面積にも限りがあることから、これらをそれぞれ小型化しこれにより半導体装置全体の高集積化を図ろうとしてもおのずと限界があった。

【0008】さらに、配線寸法を縮小すると、電流量が充分にとれなくなるという問題点、電流密度が大きくなるのでストレスマイグレーションやエレクトロマイグレーション等に起因する断線が起こるという問題点が新たに生じる。

【0009】さらに、ボンディングパッドの面積は、現状技術でのワイヤボンディングの強度や精度を考えるとやはり $120 \times 120 \mu\text{m}$ 程度は最低必要であり、また、ボンディングパッド間の間隔は $100 \mu\text{m}$ 程度必要であるので、ボンディングパッドの縮小はあまり望めないという問題があった。

【0010】この発明はこのような点に鑑みなされたものであり従ってこの発明の目的は従来より高集積化が図れる構造を有する半導体装置を提供することにある。

【0011】

【課題を解決するための手段】この目的の達成を図るため、この発明の半導体装置によれば、半導体基板の表面及び裏面の一方側に少なくとも半導体素子を設けてあり、他方側に少なくとも半導体素子、配線及びボンディングパッドで構成される部品群から選ばれた1種以上の部品を設けてあり、必要に応じ、前述の半導体基板に、貫通孔と、前述の一方の面側に設けてある前述の半導体素子及び他方の面側に設けてある部品間を接続するための、前述の貫通孔を経由している配線(以下、「貫通孔経由配線」と称することもある。)とを設けてあることを特徴とする。

【0012】なお、この発明でいう半導体基板とは、シリコン基板、化合物半導体基板などの半導体基板、これら基板にエピタキシャル層を具えたものなどであることができる。

【0013】また、半導体素子とはバイポーラトランジスタ、ユニポーラトランジスタ、ダイオードなどをはじめとする各種半導体素子をいうものとする。もちろん、ここでいう半導体素子には不揮発性メモリなども含まれ

50

る。さらに、コンデンサを構成するためのダイオード、抵抗を構成するためのトランジスタや不純物拡散層もこの場合半導体素子に含まれるものとする。

【0014】

【作用】この発明の構成によれば、半導体基板に、半導体素子、配線及びボンディングパッドなどのような半導体装置を構成する部品を、半導体基板の表裏両面を積極的に利用して作り込める。このため、半導体装置を構成する部品を半導体基板の片面にのみ設けていた従来構成の半導体装置に比べ、より集積度の高い半導体装置が得られる。

【0015】また、半導体素子、配線及びボンディングパッドなどのような半導体装置を構成する部品を半導体基板の表裏に設ける際には、これら部品の機能に応じ、ある部品は基板表面に他の部品は基板裏面に設けるなどのような配慮ができるので、半導体装置の高集積化が図れることに加え特性向上が期待できる。さらに、従来より多数の端子を基板に作り込むこともできるから従来より機能が優れた半導体装置の実現も期待できる。

【0016】

【実施例】以下、図面を参照してこの発明の半導体装置の実施例について説明する。なお、説明に用いる各図はこの発明が理解できる程度に各構成成分の寸法、形状及び配置関係を概略的に示してある。

【0017】1. 第1実施例

図1は第1実施例の半導体装置の説明に供する切り欠き斜視図である。

【0018】この第1実施例の半導体装置は、半導体基板31としての例えばシリコン基板の表面及び裏面のうちの一方の面に半導体素子としての例えば電界効果トランジスタ33と配線35とを設けてあり、他方の面に比較的大な面積を要するボンディングパッドや電源配線、グランド配線など（以下、「大面積配線部37」という。）を設けてあり、さらに、基板31に基板表裏を結ぶ貫通孔39と、貫通孔経由配線としてこの場合配線35及び大面積配線部37間を接続するための配線41とを設けたものである。

【0019】ここで、大面積配線部37はこれを基板31と電気的に分離するために絶縁膜43を介し基板31の他方面側に設けてある。

【0020】また、電界効果トランジスタ33は、従来同様、ゲート絶縁膜33a及びゲート絶縁膜33bと、2つのソース・ドレイン領域33c、33dとで構成してある。この電界効果トランジスタ33は、素子間分離用絶縁膜45によって他の素子などと電気的に分離してある。

【0021】また、貫通孔39はその壁が絶縁膜39aによって構成してある。貫通孔経由配線41と基板31とを電気的に絶縁するためである。この絶縁膜39aは、基板31がシリコン基板であれば例えば熱酸化法に

より形成できる。

【0022】なお、図1においては47は中間絶縁膜、47aはこの中間絶縁膜47に設けたコンタクトホールである。

【0023】この第1実施例の半導体装置によれば、半導体素子を基板の表面及び裏面の一方の面に設け大面積配線部37を他方の面に設けたのでそうしない場合より半導体素子を設けた基板面側に半導体素子を多く形成できるようになるから、従来より半導体装置の高集積化が図れる。さらに、大面積配線部37は、基板31の他方の面に専用に設けるので、その面積を従来より広くすることができ。したがって、大面積配線部37が電源配線やグランド用配線である場合は十分な線幅の配線が得られ、また、大面積配線部37がボンディングパッドの場合は必要な面積のボンディングパッドが得られる。さらに、電源配線やグランド配線を引き回し距離が短い状態で形成できること、さらに例えばテスト用のボンディングパッドなどを新たに設けることも可能になる。

【0024】次に、第1実施例の半導体装置の理解を深めるために、この第1実施例の半導体装置の製造手順の一例を簡単に説明する。図2(A)及び(B)と図3(A)及び(B)とはその説明に供する工程図である。いずれの図も、第1実施例の半導体装置をその電界効果トランジスタ33のチャネル長方向と平行な方向に切つて示した断面図で示してある。

【0025】まず、半導体基板としてのシリコン基板31表面に従来周知の方法を用いることによって素子間分離用絶縁膜45を形成し、次いで、電界効果トランジスタ33を形成し、その後中間絶縁膜47を形成する（図2(A)）。

【0026】次に、中間絶縁膜47の貫通孔39形成予定領域表面から、この中間絶縁膜47、素子間分離用絶縁膜45及び基板31を、公知のホトリソグラフィ技術及びエッチング技術によって基板31に所定の深さのトレンチ51が形成されるまで、除去する。次に、この基板を熱酸化することによりトレンチ51内に絶縁膜39aを形成する。次に、このトレンチ51内及び基板上に例えばアルミニウムを堆積後、公知のエッチバック法によりこのアルミニウムをエッチングしトレンチ51内に貫通孔経由配線41としてのアルミニウムを選択的に残存させる（図2(B)）。

【0027】ここで、トレンチ51の深さはこれに限られないが例えば100 μ m程度とし、トレンチ51の直径はこれに限られないが例えば10 μ m程度とする。なお、基板31の裏面まで達する貫通孔を一度に形成できればもちろんこのようなトレンチ51を形成する必要は必ずしもない。しかし、現在の技術では比較的小さな径の穴をシリコン基板の一方の面から他方の面まで開けることはシリコン基板31の厚さ（通常の500 μ m程度）からいって無理である。そこでこの実施例では、こ

ここで説明したように基板31の一方の面からある深さまでトレンチ51を形成し、後に説明するように基板31の他方の面側から基板を研磨してトレンチ51を露出させることにより、貫通孔39を得ることとしている。

【0028】次に、中間絶縁膜47の所定部分、この場合は電界効果トランジスタ33のソース・ドレイン領域33c、33dと対応する部分にコンタクトホール47aを公知の方法により形成する。次に、配線35を公知の方法により形成する。そして、基板31の電界効果トランジスタ33を形成していない面側からこの基板を貫通孔經由配線41が露出されるまで研磨する。これによりトレンチ51は貫通孔39となる(図3(A))。

【0029】次に、基板31の研磨した面に公知の好適な方法により絶縁膜43を形成し、次いで、この絶縁膜43の貫通孔經由配線41と対向する部分に開口部43aを形成し、その後、貫通孔經由配線41に接続する大面積配線部37例えばボンディングパッドを形成する(図3(B))。これにより第1実施例の半導体装置が得られる。

【0030】2. 第2実施例

図4は第2実施例の半導体装置の説明に供する断面図である。図4において図1に示したと同様な構成成分については図1で用いた番号と同一の番号を付してある(以下の図5～図8において同様。)。また、図1に示した構成成分と同様な構成成分の一部の説明は省略する。

【0031】この第2実施例の半導体装置は、半導体基板31としての例えばシリコン基板の表面及び裏面に半導体素子としての例えば電界効果トランジスタ33と配線35とをそれぞれ設けたものである。なお、図示せず、ボンディングパッド、電源配線、グラウンド用配線などの大面積配線部もシリコン基板の表面及び裏面にそれぞれ設けてある。また、基板31の裏面側も鏡面加工してある。しかし、第1実施例で基板に設けてあった半導体基板の表面及び裏面を接続するための貫通孔や貫通孔經由配線はこの第2実施例では設けていない。

【0032】基板31の表裏両面にそれぞれ設けた電源配線同士、グラウンド配線同士は外部において接続する。

【0033】この第2実施例の半導体装置によれば、その平面積を例えば従来と同一とした場合従来の2倍の集積度を有する半導体装置を得ることができる。従って、この第2実施例でも従来より集積度の高い半導体装置が得られることが分かる。また、基板表裏の半導体素子を別々に利用した回路を構成することもできる。

【0034】なお、この第2実施例の半導体装置は、基板の片面に半導体素子を作り込む従来方法を基板の両面に対し行なえば製造できる。この製造に当たりリソグラフィ工程での露光に両面露光装置を用い工程の削減を図っても良い。

【0035】3. 第3実施例

図5は第3実施例の半導体装置の説明に供する断面図で

ある。

【0036】この第3実施例の半導体装置は、半導体基板31としての例えばシリコン基板の表面及び裏面に半導体素子としての例えば電界効果トランジスタ33と配線35とをそれぞれ設けてあり、さらに、基板31に基板表裏を結ぶ貫通孔39と、貫通孔經由配線としてこの場合基板表裏の電界効果トランジスタ各々の一方のソースドレイン領域間を接続するための貫通孔經由配線41とを設けたものである。ただし、この場合の一方の面側に形成された電界効果トランジスタは第一導電型チャンネル(例えばNチャンネル)トランジスタとしてあり、基板の他方の面側に形成された電界効果トランジスタは第一導電型のウエル(Nウエル)61に作り込まれた第二導電型チャンネル(例えばPチャンネル)トランジスタとしてある。なお、図示せず、ボンディングパッド、電源配線、グラウンド用配線などの大面積配線部もシリコン基板の表面及び裏面にそれぞれ設けてある。

【0037】ここで、この第3実施例の半導体装置の貫通孔經由配線41は、2つの部分41a及び41bで構成してある。しかしこれは、後述するように、製造方法の都合上からである。

【0038】この第3実施例の半導体装置も、第1及び第2実施例同様に従来より集積度が高いものになる。さらにこの第3実施例の場合は、基板31表裏にそれぞれ作り込んだ半導体素子33間を貫通孔經由配線41によって接続してあるので基板表裏の半導体素子を用いた1つの回路この例ではCMOS回路が実現できる。

【0039】次に、第3実施例の半導体装置の理解を深めるために、この第3実施例の半導体装置の製造手順の一例を簡単に説明する。図6(A)及び(B)と図7(A)及び(B)と図8(A)及び(B)とはその説明に供する工程図である。いずれの図も、第3実施例の半導体装置をその電界効果トランジスタ33のチャンネル長方向と平行な方向に切って示した断面図で示してある。

【0040】まず、半導体基板としてのシリコン基板31のこの場合裏面にNウエル61を公知の方法により形成する(図6(A))。なお、基板31の裏面側も鏡面加工してある。

【0041】次に、この基板31の表裏それぞれに素子間分離用絶縁膜45、電界効果トランジスタ33及び中間絶縁膜47を公知の方法により形成する(図6(B))。

【0042】次に、基板31の一方の面側の中間絶縁膜47の貫通孔39形成予定領域表面から、この中間絶縁膜47、素子間分離用絶縁膜45及び基板31を、公知のホトリソグラフィ技術及びエッチング技術によって基板31に所定の深さの第1のトレンチ51aが形成されるまで、除去する(図7(A))。第1のトレンチの深さは基板31の厚さの半分程度としている。この第1のトレンチ51aと後に形成される第2のトレンチ51b

とによって貫通孔39が構成される。このように第1及び第2のトレンチを形成するのは、現状のエッチング技術では基板の厚さ程の貫通孔を一度に形成することが困難だからである。なお、トレンチの形成を容易にするために基板31の厚さを、市販品のものに比べ薄くしておくのが良い。

【0043】次に、この基板を熱酸化することにより第1のトレンチ51a内に絶縁膜39aを形成する。次に、この第1のトレンチ51a内及び基板上に例えばアルミニウムを堆積後、公知のエッチバック法によりこの

アルミニウムをエッチングし第1のトレンチ51a内に貫通孔經由配線41の一部41aとしてのアルミニウムを選択的に残存させる(図7(B))。

【0044】次に、第1のトレンチ51aを形成した手順と同様な手順により今度は基板31の他方の面側から貫通孔經由配線の一部41aを露出するような第2のトレンチ51bを形成する(図8(A))。第2のトレンチ51bが第1のトレンチ51aとつながる結果貫通孔39が得られる。

【0045】次に、第1のトレンチ51a中に絶縁膜39a及び貫通孔經由配線の一部41aを形成したと同様な手順で、第2のトレンチ51b中に絶縁膜39a及び貫通孔經由配線の一部41bをそれぞれ形成する(図8(B))。

【0046】その後、公知の方法により貫通孔經由配線41に接続される配線35を基板表裏にそれぞれ形成する(図5)。これにより第3実施例の半導体装置が得られる。

【0047】上述においては、この発明の半導体装置の各実施例について説明したが、この発明は上述の実施例に限られない。

【0048】例えば、基板表裏に設ける半導体装置構成部品は実施例での組み合わせに限られず設計に応じ任意に変更できる。

【0049】また、各実施例の半導体装置の製造方法は単なる例示であり他の好適な方法で形成しても勿論良い。

【0050】

【発明の効果】上述した説明からも明らかなように、この発明の半導体装置によれば、半導体装置を構成する部品である半導体素子、配線、ボンディングパッドなどを

基板の表面及び裏面を使用して半導体基板に作り込んであるので、半導体基板の表面のみに部品を作り込んでいた場合に比べ高集積化された半導体装置が得られる。

【0051】また、これら部品を半導体基板の表裏に設ける際には、これら部品の機能に応じ、ある部品は基板表面に他の部品は基板裏面に設けるなどのような配慮ができるので、半導体装置の高集積化が図れることに加え特性向上が期待できる。さらに、従来より多数の端子を基板に作り込むこともできるから従来より機能が優れた半導体装置の実現も期待できる。

【図面の簡単な説明】

【図1】第1実施例の半導体装置の構造を概略的に示した切り欠き斜視図である。

【図2】(A)および(B)は第1実施例の半導体装置の製造方法例を示す工程図である。

【図3】(A)および(B)は第1実施例の半導体装置の製造方法例を示す図2に続く工程図である。

【図4】第2実施例の半導体装置の構造を概略的に示した断面図である。

【図5】第3実施例の半導体装置の構造を概略的に示した断面図である。

【図6】(A)および(B)は第3実施例の半導体装置の製造方法例を示す工程図である。

【図7】(A)および(B)は第3実施例の半導体装置の製造方法例を示す図6に続く工程図である。

【図8】(A)および(B)は第3実施例の半導体装置の製造方法例を示す図7に続く工程図である。

【図9】(A)は従来の半導体装置を示した平面図であり、(B)はその断面図である。

【符号の説明】

31：半導体基板(例えばシリコン基板)

33：半導体素子(例えば電界効果トランジスタ)

35：配線

37：大面積配線部(例えばボンディングパッド)

39：貫通孔

39a：絶縁膜

41：貫通孔經由配線

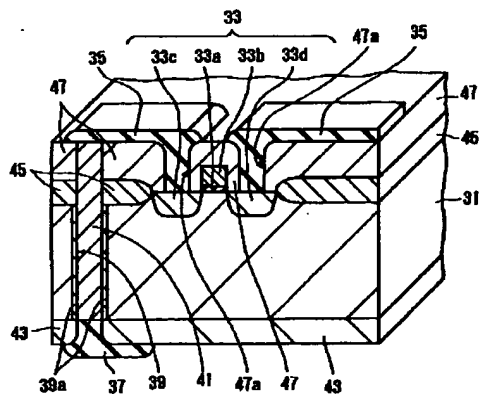
43：絶縁膜

45：素子間分離用絶縁膜

47：中間絶縁膜

47a：コンタクトホール

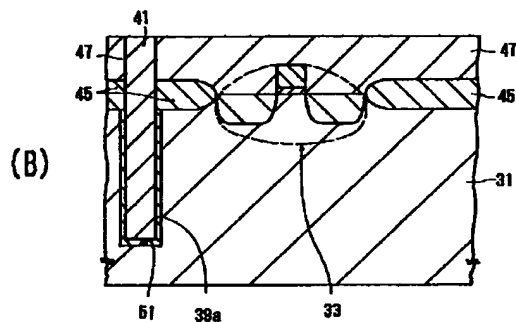
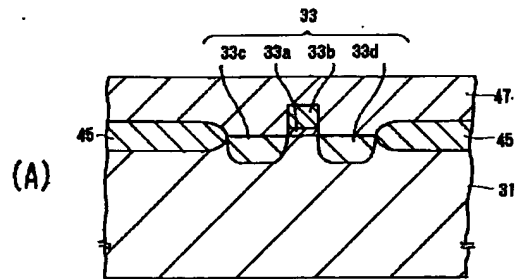
【図1】



31 : 半導体基板 (例えばシリコン基板)
 33 : 半導体素子 (例えば電界効果トランジスタ)
 35 : 配線
 37 : 大面積配線部 (例えばボンディングパッド)
 39 : 貫通孔
 39a : 絶縁膜
 41 : 貫通孔壁由配線
 43 : 絶縁膜
 45 : 素子間分離用絶縁膜
 47 : 中間絶縁膜
 47a : コンタクトホール

第1実施例の半導体装置を示した切り欠き斜視図

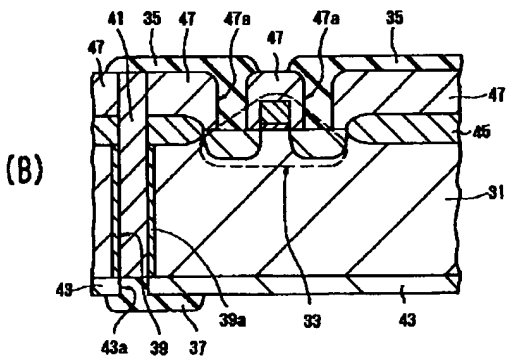
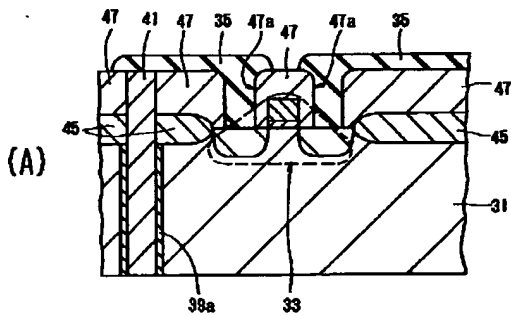
【図2】



51 : トレンチ

第1実施例の半導体装置の製造方法例を示す工程図 (その1)

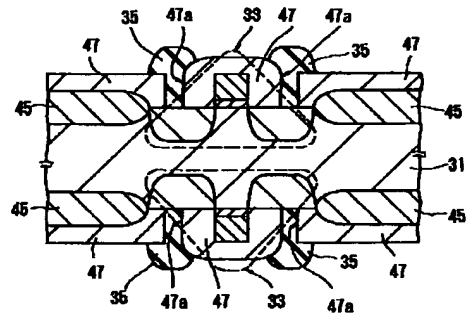
【図3】



43a : 開口部

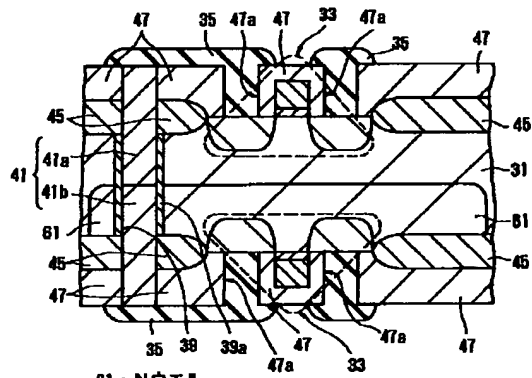
第1実施例の半導体装置の製造方法例を示す工程図 (その2)

【図4】



第2実施例の半導体装置を示した断面図

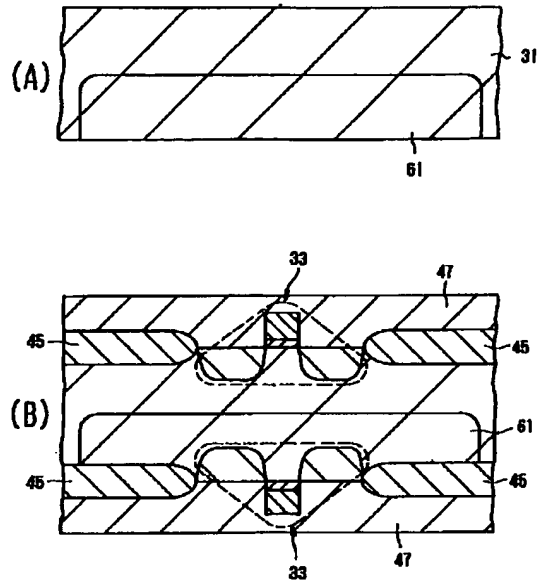
【図5】



61: Nウェル

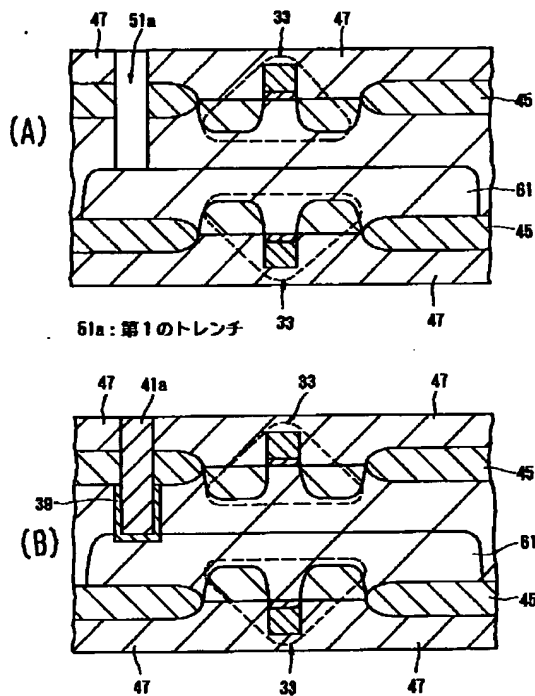
第3実施例の半導体装置を示した断面図

【図6】



第3実施例の半導体装置の製造方法例を示す図(その1)

【図7】

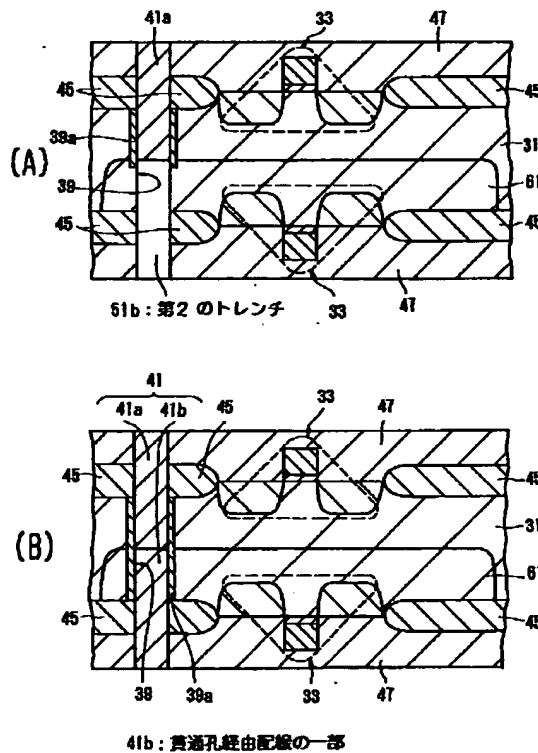


51a: 第1のトレンチ

41a: 貫通孔經由配線の一部

第3実施例の半導体装置の製造方法例を示す図(その2)

【図8】

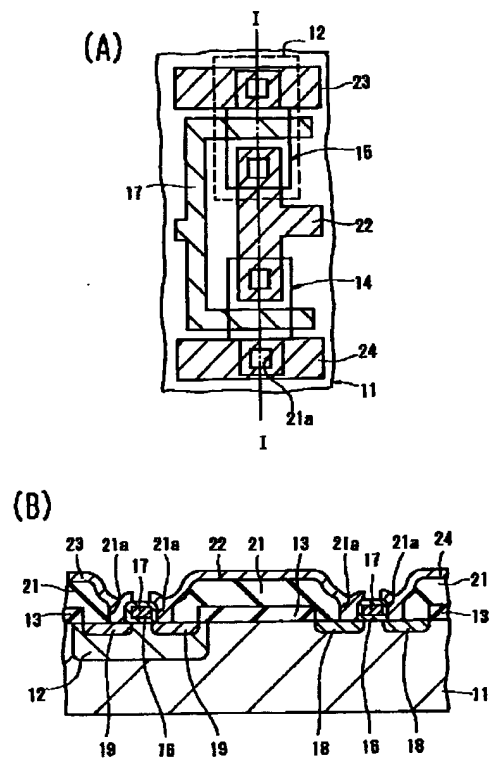


61b: 第2のトレンチ

41b: 貫通孔經由配線の一部

第3実施例の半導体装置の製造方法例を示す図(その3)

【図9】



従来の半導体装置を示した平面図及び断面図

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-152529

(43)Date of publication of application : 18.06.1993

(51)Int.Cl.

H01L 27/092

(21)Application number : 03-315123

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 29.11.1991

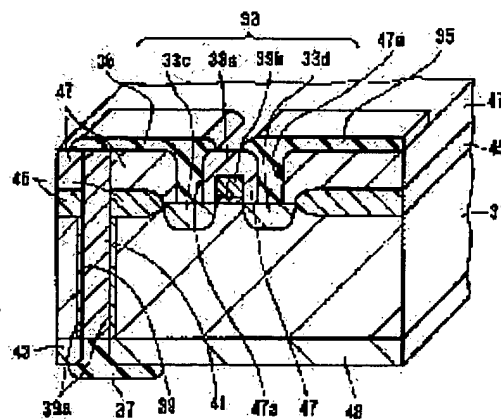
(72)Inventor : OCHIAI TOSHIYUKI
UCHIYAMA AKIRA

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor device of structure which can be integrated higher than prior art.

CONSTITUTION: At least a semiconductor element 33 is provided on a surface of a semiconductor substrate 31, and one type or more components such as bonding pads 37 selected from a component group formed of at least a semiconductor element, wirings and bonding pads are provided on a rear surface. Further, a through hole 39, the semiconductor element 33 provided on the surface of the substrate and wirings 41 fed via the hole for connecting the pads 37 are provided on the rear surface of the substrate.



LEGAL STATUS

[Date of request for examination] 31.07.1997

[Date of sending the examiner's decision of rejection] 28.03.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device is prepared in the one side of the front face of a semiconductor substrate, and a rear face at least. One or more sorts of parts chosen as the other side from the part group which consists of a semiconductor device, wiring, and a bonding pad at least are prepared, and the need is accepted. to the aforementioned semiconductor substrate A breakthrough, The semiconductor device characterized by having formed the wiring which goes via the aforementioned breakthrough for connecting between the parts prepared in the field side of the aforementioned semiconductor device and another side which have been established in aforementioned one field side.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to a semiconductor device.

[0002]

[Description of the Prior Art] The semiconductor device is one of the important electronic parts supporting today's industry.

[0003] The example of an C-MOS (Complementaly-Metal Oxide Semiconductor) semiconductor device explains the conventional structure of such a semiconductor device. Drawing 9 (A) and (B) are drawings with which the explanation is presented. Especially drawing 9 (A) is reference ("a guide to a MOSLSI design", Sangyo Tosho Publishing Co., Ltd., the plan of the CMOS inverter quoted from (the Showa 63 6th ** (Showa 59 first edition), and p.92), and drawing 9 (B) are the cross sections in the I-I line of drawing 9 (A) of this equipment.).

[0004] this conventional C-MOS semiconductor device -- the p type semiconductor substrate 11 -- n type -- a well -- the field 12 is formed Furthermore, let the fields which the field oxide film 13 was formed in the predetermined portion of a substrate 11, and were enclosed by this field oxide film 13 be the active field 14 for N channel transistors, and the active field 15 for P channel transistors. Furthermore, on the predetermined portion of these active fields 14 and 15, the gate insulator layer 16 and the gate electrode 17 are formed one by one, and if there are N channel transistors and P channel transistors have n type diffusion layer 18, p type diffusion layer 19 is formed in the active field portion of gate electrode 17 both sides, respectively. A source drain field is formed by these diffusion layers. Furthermore, on the substrate 11 in which the field oxide film 13, the gate electrode 17, etc. were formed, the middle insulator layer 21 with contact hole 21a is formed at the predetermined portion. through these contact hole 21a, one diffusion layers of a N channel transistor and each P channel transistor are connected by the first wiring 22, the second wiring 23 is connected to the diffusion layer 19 of another side of a P channel transistor, and the third wiring 24 is connected to the diffusion layer 18 of another side of a P channel transistor Here, the first wiring 22 is considered as the output of this CMOS inverter, the second wiring 23 is considered as the wiring for the said power supplies, and the third wiring 24 is considered as the wiring for the said glands.

[0005] moreover -- a semiconductor device -- usually -- not illustrating, either -- the bonding pad for making connection with the exterior is prepared on the substrate portion which hits the periphery section of an active field Now, this is a thing with an abbreviation square configuration of 120x120 micrometers. And about 100 micrometers of intervals between each bonding pad are needed.

[0006] In order to attain improvement in a performance, a miniaturization, etc. of an electronic instrument which are constituted using such a semiconductor device, a semiconductor device integrated highly increasingly is desired.

[0007]

[Problem(s) to be Solved by the Invention] However, in the conventional semiconductor device, since each of semiconductor devices, such as a transistor, and wiring, bonding pads, etc. was formed only on one front face of the principal plane of a semiconductor substrate (the surface section is also included) and there was a limitation also in the area of a substrate principal plane, even if they tended to miniaturize these, respectively and tended to attain high integration of the whole semiconductor device by this, they had a limitation naturally.

[0008] Furthermore, if a wiring size is reduced, since the trouble of it becoming impossible to fully take current capacity and current density will become large, the trouble that the open circuit resulting from a stress migration, electromigration, etc. takes place newly arises.

[0009] Furthermore, since about 120x120 micrometers was the minimum need too and about 100 micrometers of intervals between bonding pads were the need when the area of a bonding pad considered the intensity and precision of wirebonding in present condition technology, reduction of a bonding pad had the problem that it could seldom wish.

[0010] This invention is made in view of such a point, therefore it is in the purpose of this invention offering the semiconductor device which has the structure where high integration can be attained conventionally.

[0011]

[Means for Solving the Problem] In order to aim at achievement of this purpose, according to the semiconductor device of this invention, the semiconductor device is prepared in the one side of the front face of a semiconductor substrate, and a rear face at least. One or more sorts of parts chosen as the other side from the part group which consists of a semiconductor device, wiring, and a bonding pad at least are prepared, and the need is accepted. to the above-mentioned semiconductor

substrate A breakthrough, Wiring which goes via the above-mentioned breakthrough for connecting between the parts prepared in the above-mentioned semiconductor device [which has been prepared in one above-mentioned field side], and field side of another side ("wiring via a breakthrough" may be called hereafter) It is characterized by having prepared.

[0012] In addition, the semiconductor substrate as used in the field of this invention can be what equipped semiconductor substrates, such as a silicon substrate and a compound semiconductor substrate, and these substrates with the epitaxial layer.

[0013] Moreover, a semiconductor device shall mean semiconductor devices including various kinds, such as a bipolar transistor, a unipolar transistor, and diode. Of course, non-volatile memory etc. is contained in a semiconductor device here. Furthermore, the transistor and impurity diffusion layer for constituting the diode for constituting a capacitor and resistance shall also be contained in a semiconductor device in this case.

[0014]

[Function] According to the composition of this invention, a semiconductor substrate is made and loaded with the parts which constitute semiconductor devices, such as a semiconductor device, wiring, and a bonding pad, using positively front reverse side both sides of a semiconductor substrate. For this reason, compared with the semiconductor device of composition, a semiconductor device with a more high degree of integration is obtained conventionally which had prepared the parts which constitute a semiconductor device only in one side of a semiconductor substrate.

[0015] Moreover, since a certain parts can perform consideration of preparing other parts in a substrate front face at the substrate rear face according to the function of these parts in case the parts which constitute semiconductor devices, such as a semiconductor device, wiring, and a bonding pad, are prepared in the front reverse side of a semiconductor substrate, in addition to the ability to attain high integration of a semiconductor device, the improvement in a property is expectable. Furthermore, since many terminals can be conventionally made to a substrate, realization of the semiconductor device in which the function was excellent conventionally is also expectable.

[0016]

[Example] Hereafter, the example of the semiconductor device of this invention is explained with reference to a drawing. In addition, each drawing used for explanation has shown the size, configuration, and arrangement relation of each constituent roughly to the grade which can understand this invention.

[0017] 1. 1st example drawing 1 is a notching perspective diagram with which explanation of the semiconductor device of the 1st example is presented.

[0018] The semiconductor device of this 1st example has formed the field-effect transistor 33 and wiring 35 as a semiconductor device in one field of the front face as a semiconductor substrate 31 (for example, a silicon substrate), and the rear faces. The bonding pad which the field of another side takes a large area comparatively, power supply wiring, grand wiring (it is hereafter called "the large area wiring section 37"), etc. It has prepared and the breakthrough 39 which connects the substrate table reverse side to a substrate 31, and the wiring 41 for connecting between wiring 35 and the large area wiring section 37 in this case as wiring via a breakthrough are formed further.

[0019] Here, the large area wiring section 37 is formed in the another side side side of a substrate 31 through the insulator layer 43, in order to separate this electrically with a substrate 31.

[0020] Moreover, the field-effect transistor 33 consists of gate insulator layer 33a and gate insulator layer 33b, and two source drain fields 33c and 33d as usual. The insulator layer 45 for separation between elements has separated this field-effect transistor 33 electrically with other elements etc.

[0021] Moreover, as for the breakthrough 39, insulator layer 39a constitutes the wall. It is for insulating the wiring 41 via a breakthrough, and a substrate 31 electrically. This insulator layer 39a can be formed by the oxidizing [thermally] method, if a substrate 31 is a silicon substrate.

[0022] In addition, in drawing 1, 47 is a middle insulator layer and the contact hole which prepared 47a in this middle insulator layer 47.

[0023] Since many semiconductor devices can be formed in the substrate side side in which the semiconductor device was prepared from the case where it does not do so since according to the semiconductor device of this 1st example the semiconductor device was prepared in one field of the front face of a substrate, and a rear face and the large area wiring section 37 was formed in the field of another side, high integration of a semiconductor device can be attained conventionally. Furthermore, since the large area wiring section 37 is formed in the field of another side of a substrate 31 at exclusive use, it can make the area larger than before. Therefore, when the large area wiring sections 37 are power supply wiring and wiring for glands, wiring of sufficient line breadth is obtained, and when the large area wiring section 37 is a bonding pad, the bonding pad of a required area is obtained. Furthermore, it also becomes possible to newly prepare that power supply wiring and grand wiring are taken about, and distance can form in the short state, the bonding pad for a test, etc. further, for example.

[0024] Next, in order to deepen an understanding of the semiconductor device of the 1st example, an example of the manufacture procedure of the semiconductor device of this 1st example is explained briefly. Drawing 2 (A), (B) and drawing 3 (A), and (B) are process drawings with which the explanation is presented. The cross section having turned off and shown the semiconductor device of the 1st example in the direction parallel to the direction of channel length of the field-effect transistor 33 has shown any drawing.

[0025] First, by using the well-known method for silicon-substrate 31 front face as a semiconductor substrate conventionally, the insulator layer 45 for separation between elements is formed, subsequently, a field-effect transistor 33 is formed and the

middle insulator layer 47 is formed after that (drawing 2 (A)).

[0026] Next, this middle insulator layer 47, the insulator layer 45 for separation between elements, and a substrate 31 are removed from the breakthrough 39 formation schedule field front face of the middle insulator layer 47 until the trench 51 of the predetermined depth is formed in a substrate 31 by a phot well-known lithography technology and well-known etching technology. Next, insulator layer 39a is formed in a trench 51 by oxidizing this substrate thermally. Next, this aluminum is *****ed by the well-known etchback method, and the aluminum as wiring 41 via a breakthrough is made to remain alternatively in a trench 51 after depositing aluminum in this trench 51 and on a substrate (drawing 2 (B)).

[0027] Here, although the depth of a trench 51 is not restricted to this, it is referred to as about 100 micrometers, and although the diameter of a trench 51 is not restricted to this, it is set to about 10 micrometers. In addition, if the breakthrough attained to the rear face of a substrate 31 can be formed at once, there will not necessarily be no need of forming such a natural trench 51. However, it says from the thickness (usual about 500 micrometers) of a silicon substrate 31 and is impossible to make the hole of a comparatively small path from one field of a silicon substrate to the field of another side with the present technology. Then, in this example, it is supposed by forming a trench 51 by a certain Mr. Fukashi from one field of a substrate 31, as explained here, grinding a substrate from the field side of another side of a substrate 31 so that it may explain later, and exposing a trench 51 that a breakthrough 39 will be obtained.

[0028] Next, contact hole 47a is formed in the source drain fields 33c and 33d of a field-effect transistor 33, and a corresponding portion by the well-known method in the predetermined portion of the middle insulator layer 47, and this case. Next, wiring 35 is formed by the well-known method. And it grinds until the wiring 41 via a breakthrough is exposed in this substrate from the field side which does not form the field-effect transistor 33 of a substrate 31. Thereby, a trench 51 serves as a breakthrough 39 (drawing 3 (A)).

[0029] Next, an insulator layer 43 is formed in the field which the substrate 31 ground by the well-known suitable method, subsequently opening 43a is formed in the wiring 41 via a breakthrough of this insulator layer 43, and the portion which counters, and it forms after that (drawing 3 (B)), the large area wiring section 37, for example, the bonding pad, linked to the wiring 41 via a breakthrough. Thereby, the semiconductor device of the 1st example is obtained.

[0030] 2. 2nd example drawing 4 is a cross section with which explanation of the semiconductor device of the 2nd example is presented. About the same constituent, the same number as the number used by drawing 1 is attached with drawing 4 having been shown in drawing 1 (setting to the following drawing 5 - drawing 8 the same.). Moreover, explanation of a part of constituent shown in drawing 1 and same constituent is omitted.

[0031] The semiconductor device of this 2nd example forms the field-effect transistor 33 and wiring 35 as a semiconductor device in the front face and rear face as a semiconductor substrate 31 (for example, a silicon substrate), respectively. in addition -- not illustrating, either -- the large area wiring sections, such as a bonding pad, power supply wiring, and wiring for grounds, are also prepared in the front face and rear face of a silicon substrate, respectively. Moreover, mirror-plane processing also of the rear-face side of a substrate 31 has been carried out. However, neither the breakthrough for connecting the front face and rear face of a semiconductor substrate which had been established in the substrate in the 1st example, nor the wiring via a breakthrough is formed in this 2nd example.

[0032] The power supply wiring and grand wiring which were prepared in front reverse side both sides of a substrate 31, respectively are connected outside.

[0033] According to the semiconductor device of this 2nd example, when the plane area is made the same as that of the former, the semiconductor device which has the degree of integration of the conventional double precision can be obtained. Therefore, it turns out that a semiconductor device with a degree of integration higher than before is obtained also in this 2nd example. Moreover, the circuit which used the semiconductor device of the substrate table reverse side separately can also be constituted.

[0034] In addition, the semiconductor device of this 2nd example can be manufactured if the conventional method which makes a semiconductor device is performed on one side of a substrate to both sides of a substrate. A double sided aligner may be used for exposure at a lithography process in this manufacture, and curtailment of a process may be aimed at.

[0035] 3. 3rd example drawing 5 is a cross section with which explanation of the semiconductor device of the 3rd example is presented.

[0036] the semiconductor device of this 3rd example forms the wiring 41 via a breakthrough for having formed a field-effect transistor 33 and wiring 35, respectively, and connecting between one [of the substrate table reverse side] source drain fields of each field-effect transistor with the breakthrough 39 which connects the substrate table reverse side to a substrate 31 further in this case as wiring via a breakthrough as a semiconductor device in the front face and rear face as a semiconductor substrate 31 (for example, a silicon substrate). However, the field-effect transistor formed in one field side in this case is used as the first conductivity-type channel (for example, N channels) transistor, and the field-effect transistor formed in the field side of another side of a substrate is used as the second conductivity-type channel (for example, P channels) transistor made by the well (N well) 61 of the first conductivity type. in addition -- not illustrating, either -- the large area wiring sections, such as a bonding pad, power supply wiring, and wiring for grounds, are also prepared in the front face and rear face of a silicon substrate, respectively.

[0037] Here, the wiring 41 via a breakthrough of the semiconductor device of this 3rd example consists of two portions 41a and 41b. However, this is from the convenience of the manufacture method, as mentioned later.

[0038] Also as for the semiconductor device of this 3rd example, the 1st and 2nd examples become the same what has a high

degree of integration from the former. Furthermore, in the case of this 3rd example, since between the semiconductor devices 33 made, respectively is connected to the substrate 31 table reverse side with the wiring 41 via a breakthrough, in the example of one ***** using the semiconductor device of the substrate table reverse side, a CMOS circuit is realizable.

[0039] Next, in order to deepen an understanding of the semiconductor device of the 3rd example, an example of the manufacture procedure of the semiconductor device of this 3rd example is explained briefly. Drawing 6 (A), (B) and drawing 7 (A), (B) and drawing 8 (A), and (B) are process drawings with which the explanation is presented. The cross section having turned off and shown the semiconductor device of the 3rd example in the direction parallel to the direction of channel length of the field-effect transistor 33 has shown any drawing.

[0040] First, N wells 61 are formed in a rear face by the well-known method in this case of the silicon substrate 31 as a semiconductor substrate (drawing 6 (A)). In addition, mirror-plane processing also of the rear-face side of a substrate 31 has been carried out.

[0041] Next, the insulator layer 45 for separation between elements, a field-effect transistor 33, and the middle insulator layer 47 are formed in each front reverse side of this substrate 31 by the well-known method (drawing 6 (B)).

[0042] Next, this middle insulator layer 47, the insulator layer 45 for separation between elements, and a substrate 31 are removed from the breakthrough 39 formation schedule field front face of the middle insulator layer 47 by the side of one field of a substrate 31 until 1st trench 51a of the predetermined depth is formed in a substrate 31 by a phot well-known lithography technology and well-known etching technology (drawing 7 (A)). The depth of the 1st trench is made into the half grade of the thickness of a substrate 31. A breakthrough 39 is constituted by 1st [this] trench 51a and 2nd trench 51b formed in behind. Thus, the 1st and 2nd trenches are formed because it is difficult to form the breakthrough like the thickness of a substrate at once with the present etching technology. In addition, in order to make formation of a trench easy, it is good to make thickness of a substrate 31 thin compared with the thing of commercial elegance.

[0043] Next, insulator layer 39a is formed in 1st trench 51a by oxidizing this substrate thermally. Next, this aluminum is *****ed by the well-known etchback method, and the aluminum as partial 41a of the wiring 41 via a breakthrough is made to remain alternatively in 1st trench 51a after depositing aluminum in this 1st trench 51a and on a substrate (drawing 7 (B)).

[0044] Next, 2nd trench 51b of the wiring via a breakthrough which exposes 41a in part is shortly formed from the field side of another side of a substrate 31 with the procedure in which 1st trench 51a was formed, and the same procedure (drawing 8 (A)). A breakthrough 39 is obtained as a result of connecting 2nd trench 51b with 1st trench 51a.

[0045] next, the inside of 1st trench 51a -- a part of insulator layer 39a and wiring via a breakthrough -- the procedure same with having formed 41a -- the inside of 2nd trench 51b -- a part of insulator layer 39a and wiring via a breakthrough -- 41b is formed, respectively (drawing 8 (B))

[0046] Then, the wiring 35 connected to the wiring 41 via a breakthrough by the well-known method is formed in the substrate table reverse side, respectively (drawing 5). Thereby, the semiconductor device of the 3rd example is obtained.

[0047] In ****, although each example of the semiconductor device of this invention was explained, this invention is not restricted to an above-mentioned example.

[0048] For example, the semiconductor device component part prepared in the substrate table reverse side is not restricted to the combination in an example, but can be arbitrarily changed according to a design.

[0049] Moreover, the manufacture method of the semiconductor device of each example is mere instantiation, and it is easy to be natural [the method] even if it forms it by other suitable methods.

[0050]

[Effect of the Invention] Since the semiconductor device which are the parts which constitute a semiconductor device, wiring, the bonding pad, etc. are made to the semiconductor substrate using the front face and rear face of a substrate according to the semiconductor device of this invention so that clearly also from the explanation mentioned above, the semiconductor device integrated highly by only the front face of a semiconductor substrate compared with the case where parts are made is obtained.

[0051] Moreover, since a certain parts can perform consideration of preparing other parts in a substrate front face at the substrate rear face according to the function of these parts in case these parts are prepared in the front reverse side of a semiconductor substrate, in addition to the ability to attain high integration of a semiconductor device, the improvement in a property is expectable. Furthermore, since many terminals can be conventionally made to a substrate, realization of the semiconductor device in which the function was excellent conventionally is also expectable.

[Translation done.]

* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the notching perspective diagram having shown the structure of the semiconductor device of the 1st example roughly.

[Drawing 2] (A) And (B) is process drawing showing the example of the manufacture method of the semiconductor device of the 1st example.

[Drawing 3] (A) And (B) is process drawing following drawing 2 which shows the example of the manufacture method of the semiconductor device of the 1st example.

[Drawing 4] It is the cross section having shown the structure of the semiconductor device of the 2nd example roughly.

[Drawing 5] It is the cross section having shown the structure of the semiconductor device of the 3rd example roughly.

[Drawing 6] (A) And (B) is process drawing showing the example of the manufacture method of the semiconductor device of the 3rd example.

[Drawing 7] (A) And (B) is process drawing following drawing 6 which shows the example of the manufacture method of the semiconductor device of the 3rd example.

[Drawing 8] (A) And (B) is process drawing following drawing 7 which shows the example of the manufacture method of the semiconductor device of the 3rd example.

[Drawing 9] (A) is the plan having shown the conventional semiconductor device, and (B) is the cross section.

[Description of Notations]

- 31: Semiconductor substrate (for example, silicon substrate)
- 33: Semiconductor device (for example, field-effect transistor)
- 35: Wiring
- 37: Large area wiring section (for example, bonding pad)
- 39: Breakthrough
- 39a: Insulator layer
- 41: Wiring via a breakthrough
- 43: Insulator layer
- 45: The insulator layer for separation between elements
- 47: Middle insulator layer
- 47a: Contact hole

[Translation done.]

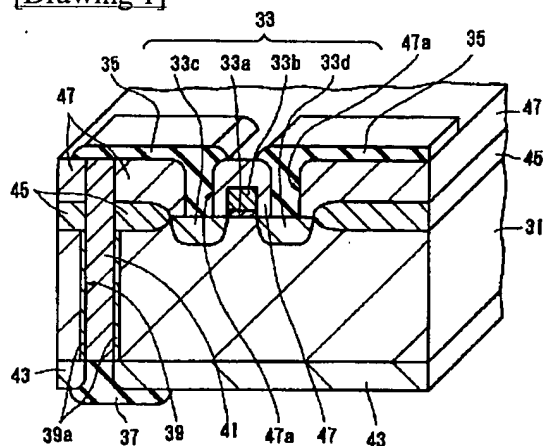
* NOTICES *

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

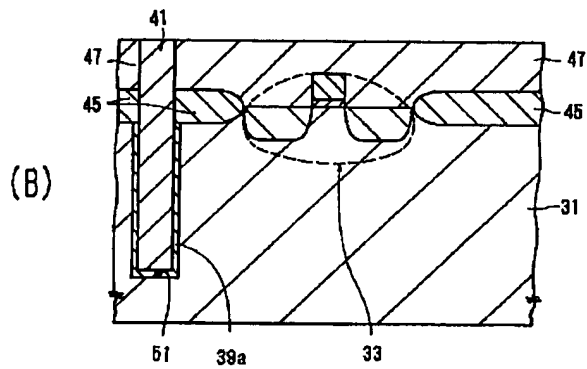
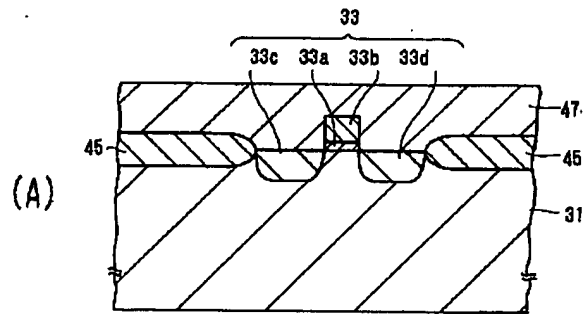
[Drawing 1]



- 31 : 半導体基板 (例えばシリコン基板)
 33 : 半導体素子 (例えば電界効果トランジスタ)
 35 : 配線
 37 : 大面積配線部 (例えばボンディングパッド)
 38 : 貫通孔
 39a : 絶縁膜
 41 : 貫通孔経由配線
 43 : 絶縁膜
 45 : 素子間分離用絶縁膜
 47 : 中間絶縁膜
 47a : コンタクトホール

第1実施例の半導体装置を示した切り欠き斜視図

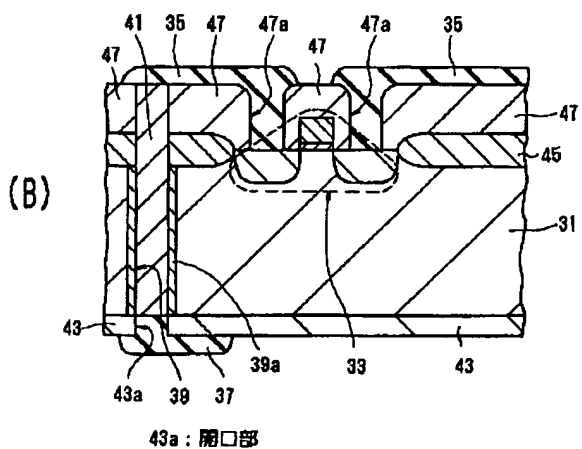
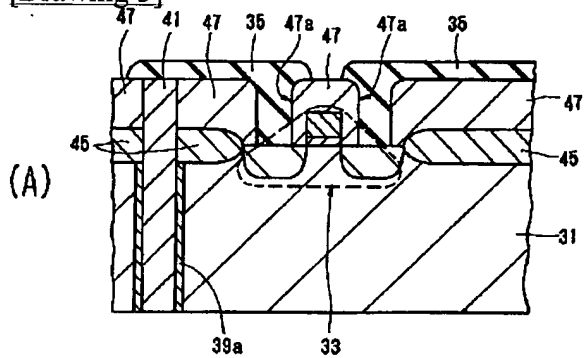
[Drawing 2]



51: トレンチ

第1実施例の半導体装置の製造方法例を示す工程図(その1)

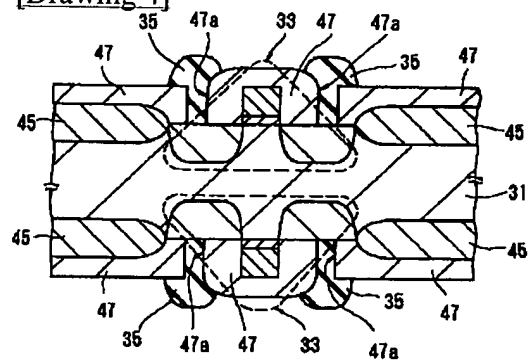
[Drawing 3]



43a: 開口部

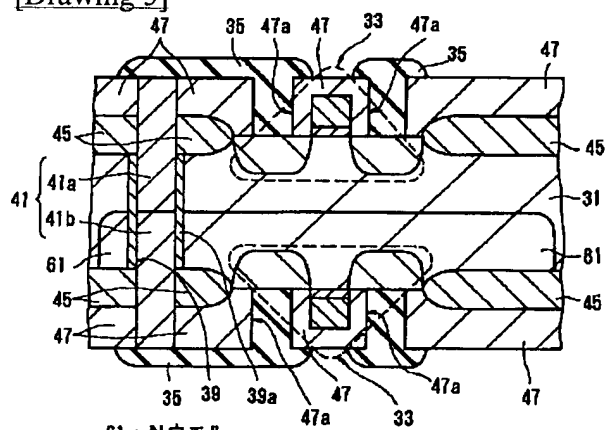
第1実施例の半導体装置の製造方法例を示す工程図(その2)

[Drawing 4]



第2実施例の半導体装置を示した断面図

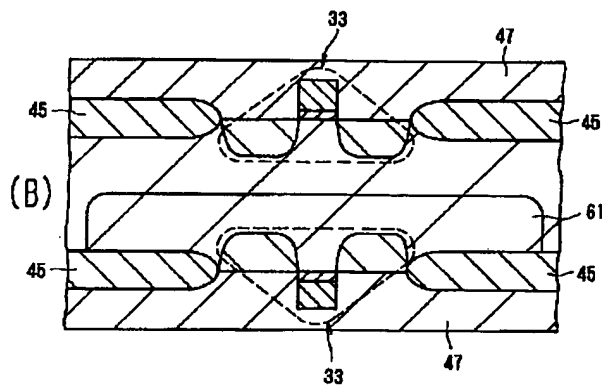
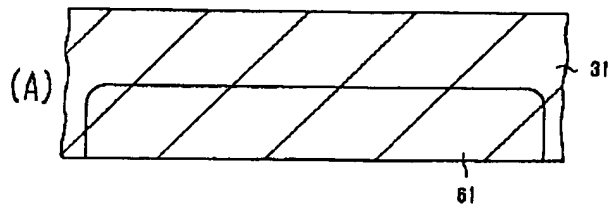
[Drawing 5]



61 : Nウエル

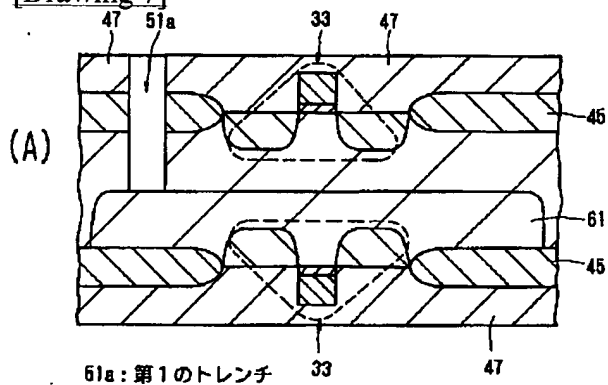
第3実施例の半導体装置を示した断面図

[Drawing 6]

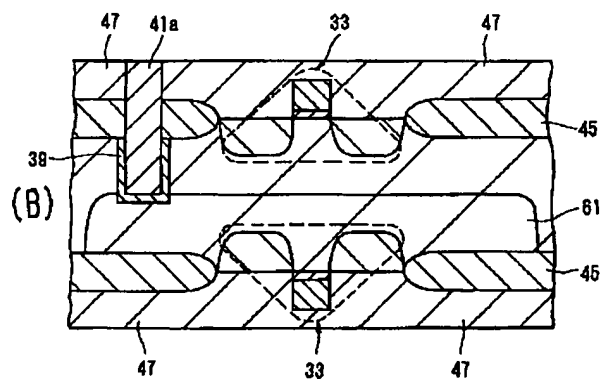


第3実施例の半導体装置の製造方法例を示す図（その1）

[Drawing 7]



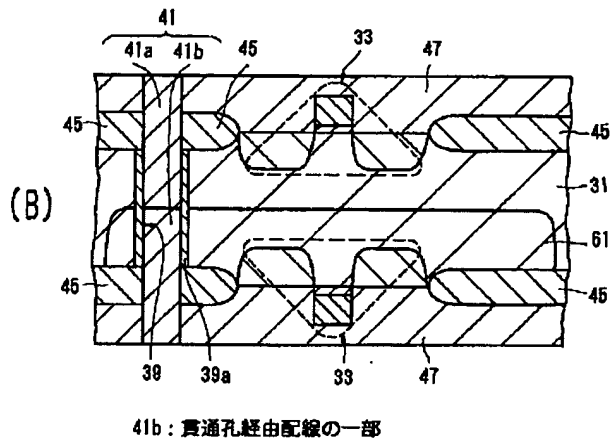
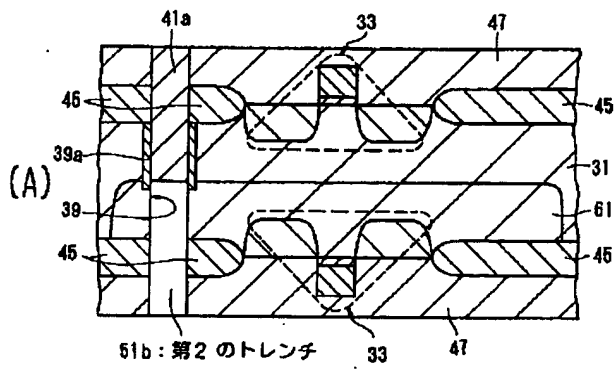
51a: 第1のトレンチ



41a: 貫通孔經由配線の一部

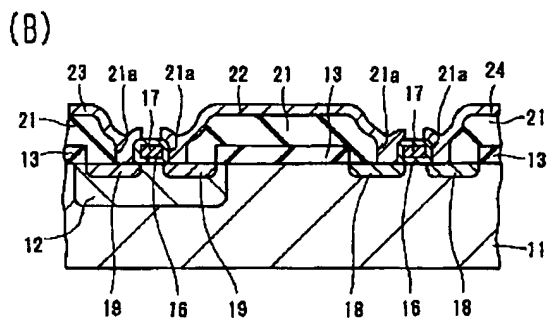
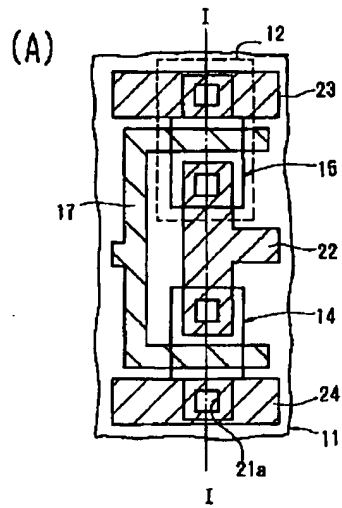
第3実施例の半導体装置の製造方法例を示す図（その2）

[Drawing 8]



第3実施例の半導体装置の製造方法例を示す図（その3）

[Drawing 9]



従来の半導体装置を示した平面図及び断面図

[Translation done.]